

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-213637

(43)Date of publication of application : 20.08.1996

(51)Int.Cl.

H01L 29/786
H01L 21/336
H01L 21/20
H01L 21/263
H01L 21/268
H01L 21/764
H01L 27/12

(21)Application number : 07-311441

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 29.11.1995

(72)Inventor : AYA YOICHIRO
NODA TOMOYUKI
SANO KEIICHI

(30)Priority

Priority number : 06321385 Priority date : 29.11.1994 Priority country : JP

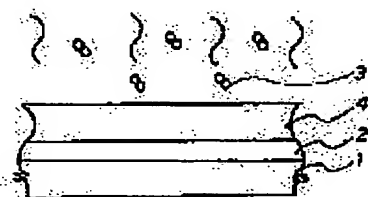
(54) MANUFACTURE OF POLYCRYSTALLINE SEMICONDUCTOR FILM, THIN FILM TRANSISTOR AND DISPLAY DEVICE

(57)Abstract:

PURPOSE: To flatten the surface of a polycrystalline semiconductor film and to uniformize the crystal grain diameters of crystal grains in the polycrystalline semiconductor film by a method wherein when an amorphous semiconductor thin film provided into an island form on a substrate is recrystallized by irradiation with a laser beam to form the polycrystalline semiconductor film, the polycrystalline semiconductor film is slanted to the irradiation direction of the laser beam.

CONSTITUTION: A thin insulating layer 2 consisting of an SiO₂, an SiON_x or the like is formed on a conductive substrate 1 and an amorphous silicon film 4 is formed on the layer 2 by a CVD method using silane SiH₄ or disilane Si₂H₆ or a silane compound. Then, an island pattern 5 is formed of a resist and the film 4 is wet or dry-etched using the pattern 5 as a mask to form islands 6 consisting of an a-Si film. Resists 5' located at both end parts of the pattern 5 are removed, the islands 6 are etched to form slant parts 6a on the islands 6 and the sectional form of the islands 6 is formed into a trapezoid or a dome shape. Then, the surfaces of the islands 6 are irradiated with a laser beam, the a-Si film is recrystallized and a polycrystalline silicon thin film 8 is formed. Thereby, the surface of the thin film 8 is flattened and the crystal grain diameters in the thin film 8 are uniformized.

(a)



(b)



(c)

**LEGAL STATUS**

[Date of request for examination] 12.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3213528

[Date of registration]

19.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

}

(19) 日本国特許庁 (JP)

(12) 英國駐公使館 (A)

(11)特許出願公開番号

特開平8-213637

(43)公開日 平成8年(1996)8月20日

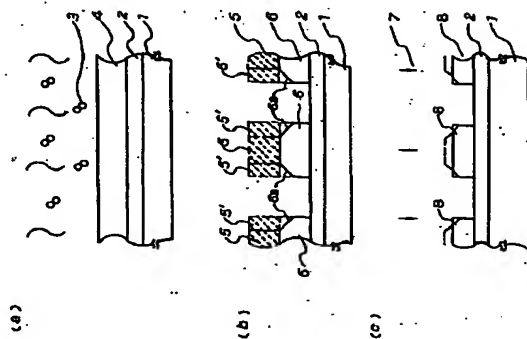
(5)I ^a H O I L	識別記号 片内整理番号	P I	技術及示箇所
29/786 21/338 21/20		H O I L 29/ 78 21/ 78 A	6 2 7 G A 請求項の数 6 O L (全 9 頁) 最終頁に続く
(21)出願番号 特願平7-311441	(71)出人 三洋電機株式会社	000001889	
(22)出願日 平成7年(1995)11月29日	(72)発明者 鮫 岸一郎	大阪府守口市京阪本通2丁目5番5号	
(31)優先権主張番号 特願平6-321385	(72)発明者 梶田 明幸	大阪府守口市京阪本通2丁目5番5号	
(32)優先日 平6(1994)11月29日	(72)発明者 佐野 景一	大阪府守口市京阪本通2丁目5番5号	
(33)優先権主張国 日本(J P)	(72)発明者 伊藤 士郎	大阪府守口市京阪本通2丁目5番5号	
	(72)代理人 岡田 敬	弁理士 伊藤 士郎	

E54 【発明の名】 多結晶半導体膜の製造方法、薄膜トランジスタ、表示装置

5.7) 【要約】

【要約】 表面が平坦でありかつ結晶粒径の均一化を達成することにより特性の均一化が図られる多結晶半導体膜の製造方法、その製造方法によって形成されたTFT及びそのTFTを用いて良好な表示の得られる表示装置を提供することを目的とする。

【解決手段】多結晶半導体膜8に傾斜部8aを設け



【附編の文藝誌等】

【請求項1】 基板上にアイランド状に設けられた非晶質半導体薄層をレーザビームを照射することにより再結晶化させた多結晶半導体薄層を形成する多結晶半導体膜の製造方法において、前記非晶質半導体薄層の前記レーザビームの照射方向に對して傾斜を持たせたことを特徴とする多結晶半導体膜の製造方法。

【請求項2】 基板上に設けられたアイランド状の非晶半導体薄膜の端部に傾斜部を形成した後、レーザビームを照射し、前記非晶半導体薄膜を再結晶化させて多結晶半導体膜を形成することを特徴とする多結晶半導体膜の製造方法。

【請求項3】 前記非晶質半導体薄膜の断面形状が台形であることを特徴とする請求項2に記載の多結晶半導体1の製造方法。

【請求項4】 前記台形の上辺と下辺との比が0.8以下であり、上記レーザビームの出力を 200 mJ/cm^2 以上 400 mJ/cm^2 未満に制御することを特徴とする請求項3に記載の多結層半導体膜の製造方法。

【請求項5】 請求項1乃至4のいずれか1項に記載の結晶半導体膜の製造方法によって形成された多結晶半導体膜を能動層として用いることを特徴とする薄膜トランジスタ。

【請求項8】 請求項5に記載の薄膜トランジスタを画駆動素子として用いることを特徴とする表示装置。

【発明の詳細な説明】

【０００１】
発明の属する技術分野】この発明は、多結晶半導体膜製造方法、その製造方法によって形成された多結晶半導体膜を用いた、駆動デバイス等に用いられる薄膜トランジスタ（Thin Film Transistor、以下、ＴＦＴと略記する。）及び駆動膜トランジスタを用いた表示装置に関する。

200021

【従来の技術】近年、高画質・高精細の映像を目的とし、その画素あるいは周知回路の駆動デバイスであるT₁T₂の種々の高性能化技術が開発されている。例えば、T₁T₂の特性を左右する活性層材料の品質化技術として、非晶シリコン膜を有機材料とし、エキシマレーザによって薄層多結晶シリコン膜を形成する技術が開発されている。

0003】図12に従い、上記非晶質シリコン膜の形成方法につき説明する。まず、図12(a)に示すように、ガラス等からなる絶縁性基板111上に化学気相反(CVD)法により、非晶質シリコン膜112を成膜する。次に、図12(b)に示すように、上記非晶質シリコン膜112上にレジストパターン113をマスクとして、図12(c)に示すように、陽方向エッチングにより、非晶質シリコンからなるアライメント116を形

て示すように、レジストを除去する。続いて、図12(d)に示すように、レジスト1113を除去した後、真空中でエキシマレーザ1117を照射し、非晶質シリコン薄膜を溶融して再結晶化させることにより、アイランド状の多結晶シリコン膜1118を形成する。

【0004】ところで、上記方法によれば、Jpn. J. Appl. Phys. Vol. 32 (1993) p. L1485-L1488の「Self Organized Grain Growth Laser」than 1 μ m through Pulsed-Laser-Induced Melting of Silicon Films」に記載されているように、結晶粒径が大きくなるに従って、表面凹凸も大きくなるという問題があった。

【0005】この理由につき、図13に従い説明する。図13は、真空中でのエキシマレーザアニールによる再結晶化の状態を示す模式図である。尚、図面(a-1)～(a-3)は、再結晶化の状態を、(b-1)～(b-3)は、その状態における温度分布を示している。図面(a-1)に示すように、レーザが照射される非晶層は、図面(a-2)に示すように、再結晶化の進行する非晶層と再結晶層とに分割される。図面(a-3)に示すように、再結晶化の進行する非晶層は、図面(b-1)に示すように、再結晶化の進行する非晶層と再結晶層とに分割される。図面(b-2)に示すように、再結晶化の進行する非晶層は、図面(b-3)に示すように、再結晶化の進行する非晶層と再結晶層とに分割される。図面(b-3)に示すように、再結晶化の進行する非晶層は、図面(b-3)に示すように、再結晶化の進行する非晶層と再結晶層とに分割される。

溶融シリコン表面は平坦であるので、図面 (b-1) に示すように、レーザ照射直後の温度は均一に上昇し溶融温度 (T_m) 以上となり、非晶質シリコンが溶融する。この際、基板、基板裏面真空中に保持しているの、溶融シリコンの姿勢²⁾熱は主に基板方向へ逃げる。このため図面 (b-2) に示すように、アラインド中央部は左右方向へ基板方向に熱を伝えるので早く熱が下がり低温となり、端部では基板方向にのみ熱が伝わるので中央部よりも高温となる。同時に、溶融シリコンと基板との間のぬれ性³⁾により、溶融シリコンは端部に集まり、図面 (a-2) に示すように、中央部が凹み端部が盛り上がった形となる。さらに時間を経ると、図面 (b-3) に示すように、中央部と端部での温度差は大きくなり、この間での溶融歪みが大きくなる。そして熱的歪みが大きい分だけ、端部では溶融温度 (T_m) 以上の状態が長く続き、結晶化の成長が促進される。

【0006】以上の結果、図四(a-3)に示すように、中央部が凹き、表面が凹凸となるとともに、両端部は結晶粒径が大きい膜が形成される。また上配方法では、両端部は結晶粒径が大きくなるが、中央部分の結晶粒径は小さく、全体として均一な粒径とならない。このため、移動荷重の特性が大きくばらついていた。

【0007】
発明が解決しようとする課題】上述したように、通常のアクリル酸化を行った後、レーザアニールにより再結晶化した多結晶半導体膜では、表面の凹凸が増大し、膜全体で均一な処理を得られなため移動率等の特性が悪く、さきほど挙げてしまっているという問題があった。引いて見れば、その通常のアクリル酸化を行った多結晶半導体膜と、良性能の多結晶としたTFTを用いた表示装置においては、良

(1)

好な表示が得られないという問題があった。

【0008】更に、前記アイランドを用いて、特性のそろったTFTを形成する場合、再結晶化後に平坦化を行う必要があり、製造工程が複雑になると共に歩留まりの低下、さらにこれに伴うコストの上昇という問題があった。この発明は、上述した従来の問題点を解決するためになされたものであり、表面が平坦にしてかつ結晶粒径の均一化を行うことにより特性の均一化が図られた多結晶半導体膜の製造方法、その製造過程によって形成されたTFT及びそのTFTを用いて良好な表示の得られる表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】この発明は、基板上にアイランド状に設けられた非晶質半導体薄膜をレーザビームを照射することにより再結晶化させて多結晶半導体膜を形成する多結晶半導体膜の製造方法において、前記非晶質半導体膜の前記レーザビームによる熱集中が生じる部位の表面が、前記レーザビームの照射方向に対して傾斜を持たせたことを特徴とする。

【0010】また、この発明は、基板上に設けられたアイランド状の非晶質半導体薄膜の端部に傾斜を形成した後、レーザビームを照射し、前記非晶質半導体薄膜を再結晶化させて多結晶半導体膜を形成することを特徴とする。また、前記非晶質半導体薄膜の断面形状が台形になるように傾斜するとよい。さらに、前記台形の上下辺の比が0.8以下であり、上記レーザビームの出力を $300\text{mJ}/\text{cm}^2$ 以上 $400\text{mJ}/\text{cm}^2$ 未満に抑制するとよい。

【0011】さらにまた、上述の多結晶半導体膜の製造方法によって形成された多結晶半導体膜を能動層として用いることを特徴とする。加えて、上述のTFTを画素駆動素子として用いた表示装置である。以上の如く、この発明は、レーザビームによる熱集中が生じる部位の表面が、レーザビームの照射方向に対して、傾斜を持たせることで、傾斜を有する部位では単位面積当たりの入射エネルギー量が小さくなり、表面温度は傾斜を有する部位が低い状態となり、熱的歪みが小さくなる。

【0012】また、この発明は、アイランドの端部に傾斜を形成することで、この表面にレーザビームを照射すると、傾斜部では単位面積当たりの入射エネルギー量が平坦部より小さくなり、表面温度は傾斜部が低い状態となる。溶融後は中央部の方が熱が逃げやすいので、中央部と端部の間の温度差は小さくなり、熱的歪みが小さくなる。従って、結晶化は膜全体に均一に進むこととなる。

【0013】さらに、基板との間のぬれ性により端部に押し出された溶融シリコンは傾斜部に吸収され、結晶化後の表面は平坦になる。更にまた、この発明は、多結晶半導体薄膜の表面が平坦になり、膜全体で均一な粒径を得ることができ、移動度やTFTのオフ電流が均

一になる。またそれによって、画素電極への書き込み電圧や画素保持時間が均一となり、表示装置のコントラスト向上などが図られ良好な表示が得られる。

【0014】

【発明の実施の形態】以下、この発明の実施例につき、図1ないし図5に従い説明する。図1(a)に示すように、増設性基板1上に SiO_2 、 SiN_x 等を $5\text{nm} \sim 1\mu\text{m}$ 程度の厚さで形成する。この絶縁層2が形成された基板1上に、シリコン(SiH₄)またはジシラン(Si₂H₆)若しくはシラン化合物を用いてCVD法により、非晶質シリコン膜(以下、a-Si膜と略す)を形成する。この時の反応温度は $300 \sim 800^\circ\text{C}$ 、a-Si膜4の膜厚は目標とする膜厚よりも数%厚めに形成する($20\text{nm} \sim 100\text{nm}$ 程度)。

【0015】次に、図1(b)に示すように、レジストからなるアイランドパターン5を形成し、このアイランドパターン5をマスクとしてウェット又はドライエッチングによりa-Siからなるアイランド6を形成する。そして、このアイランド6に傾斜を形成するために、アイランドパターン5の両端部分のレジスト5'を除去し、ウェット又はドライエッチングにより、アイランド6に傾斜6aを形成し、アイランド6の断面形状が台形又はドーム状になるようにエッチング制御を行う。この実施例では断面形状が台形になるように、アイランドを形成する。このアイランド6をドライエッチングを用いて形成するには、エッチングガスの種類、流量及び圧力を選択することにより、容易に図に示すような断面形状に制御できる。具体的には、レジストを用い、RIE(CF₄)にてアイランド形成した後、レジストとa-Siの選択比が例えば、2:1となる条件(反応圧力を高くするとともに酸素を導入する)で等方性エッチングを行うことにより、形成できる。

【0016】続いて、図1(c)に示すように、a-Si膜からなるアイランド6表面にレーザビーム7を照射し、a-Si膜の再結晶化を行い、多結晶シリコン増設層8を形成する。この時、レーザとして高エネルギー密度の短パルスレーザ、例えば、F、ArF、KrF、XeF等のエキシマレーザを用いることで、スループットを向上させる。

【0017】図2に、この実施例におけるエキシマレーザアニールによる再結晶化状態を示す。図(a-1)～(a-3)は再結晶化の状態を、(b-1)～(b-3)は、その状態における温度分布を示している。このレーザビームによる再結晶化においては、図2(b-1)に示すように、レーザビームの照射がアイランド形状が台形であるため、(b-1)に示すように、表面温度に差温度(T_W)を越えて端部の温度が低い凸状の分布が出現できる。すなわち、レーザビームによる熱集中が生じる部位の表面が、レーザビームの照射方向に対して傾斜を有することで、表面温度に差温度(T_W)

を越えて端部の温度が低い凸状の分布が出現する。

【0018】そして、熱伝導により、図2(b-2)のように熱的歪みが少ないように温度分布が生じる。同時に基板との間のぬれ性により端部に押し出された溶融シリコンは端部の傾斜部に吸収され、図(a-2)に示すように、基板表面は平坦化される。そして、図2(b-3)に示すように、温度が溶融温度以下になったところから結晶化が急速に進むが、全体的に均一な温度なので、全体が大粒化し易く、平均の結晶粒径が向上するとともに、図2(a-3)に示すように、表面の凹凸が抑制できる。

【0019】図3に、a-Siからなるアイランドを図1に示すように、断面形状を台形とした場合の再結晶化した後の表面の凹凸と、台形の上下辺の比に対する依存性を測定した結果を示す。この図1において、上下辺を l_0' 、底辺を l_0 とし、再結晶化前のアイランドの一番高い場所の厚さを h_0 、再結晶化の同じく一番高い場所の厚さを h' とし、それぞれの比を測定した。

【0020】この図3より、表面の凹凸は上下辺の比に依存し、 l_0'/l_0 が約0.8程度から急激に凹凸が大きくなることわかる。そして、従来のアイランド($l_0'/l_0=1$)の場合には、表面の凹凸が約4倍になっているのに対し、 $l_0'/l_0=0.5$ では、 $h'/h_0=1$ になり、略平坦の凹凸がなくなり、平坦な多結晶シリコン膜が得られることがわかる。

【0021】図4に、従来の形状のアイランドと、 $l_0'/l_0=0.5$ にしたこの実施例におけるアイランド形状のものにおいて、表面凹凸とレーザビームのエネルギー密度の依存性を測定した結果を示す。図4より、従来のアイランドでは、表面の凹凸は照射するレーザビームのエネルギー密度にも依存し、約 $350\text{mJ}/\text{cm}^2$ に急激なピークを有することが分かる。これに対して、この実施例のものは、測定エネルギー範囲内においては顕著な表面凹凸は見られなかった。

【0022】図5は、図4に示したものと同じ形状の従来の例と、この実施例におけるアイランドを用いて、レーザビームによる再結晶化させた場合のエネルギー密度と平均粒径との関係を示す。尚、平均粒径は、結晶化した多結晶シリコン膜全体の平均をとったものであり、図5においては、最大の平均粒径を1とし、その比で表している。

【0023】図5に示すように、従来のアイランド形状では、照射するレーザビームエネルギー密度に対応してエネルギー密度の増加に伴い平均粒径が増大し、約 $350\text{mJ}/\text{cm}^2$ に急激なピークを持ち、それ以上のエネルギー密度では急激に減少している。これに対し、この実施例のものでは、約 $200 \sim 400\text{mJ}/\text{cm}^2$ にプロードなピークを持っており、特に約 $210 \sim 380\text{mJ}/\text{cm}^2$ の範囲では、平均粒径はほぼ一定である。

【0024】尚、上述の実施例においては、基板とし

て導電性基板上に絶縁層を形成した物を用いているが、石英ガラス、低融点ガラス等の絶縁性基板をもちいても同様効果が得られる。ここで、上記のように本願の多結晶シリコン膜の製造方法によって製造された多結晶シリコンTFT及びそのTFTを画素駆動素子として用いた透過型LCD(Liquid Crystal Display)の画素部の製造方法を図に従って説明する。

【0025】図6は画素部周辺の具体的な平面構造図であり、図7は図6中の切断線A-Aに沿った方向からの断面構造図である。画素部は、駆動素子としてのTFTと、液晶セル及び補助容量CSから構成される。ゲート配線GaにはTFTのゲートGが接続され、ドレイン配線DにはTFTのドレインDが接続されている。そして、TFTのソースには、液晶セルの表示電極22と補助容量CSとが接続されている。この液晶セルと補助容量とにより信号容量素子が構成される。

【0026】図7(a)に示すように、全面に絶縁膜2を形成した基板1上に、本願製造方法にて、TFTの能動層となる台形の多結晶シリコン膜8を形成する。さらに、図7(b)に示すように、前記多結晶シリコン膜8上に増設層CVD(AP-CVD)法、減圧CVD(LP-CVD)法などを用いてゲート絶縁層9、その上に熱CVD法を用いて多結晶シリコン膜10を形成する。

【0027】その後、図7(c)に示すように、前記多結晶シリコン膜10上にレジスト11をパターンニングし、多結晶シリコン膜をエッチングしてゲート電極12を形成する。なお、このゲート電極12は、金属、例えばアルミニウム、クロムなどを蒸着法またはスパッタ法によって形成してよい。また、ゲート絶縁層9の形成方法としては、増圧CVD(AP-CVD)法、減圧CVD(LP-CVD)法などが用いられる。ゲート絶縁層の材質としては、シリコン酸化膜、シリケートガラス、シリコン窒化膜などが用いられる。

【0028】そして、図7(d)に示すように、ゲート絶縁層9上にパターンニング13して、異方性エッチングを用いてゲート絶縁膜中に開口部14を形成し、イオンシャワードベニング法などによりリンなどのn型不純物をドーピングする。更に、図8(e)に示すように、多結晶シリコン膜中にn型のドレイン領域16及びソース領域17が形成される。同時に、ゲート電極中にもリンなどのn型不純物がドーピングされる。これにより、ゲート電極の低抵抗化が図られる。

【0029】図8(f)に示すように、基板の画素部領域上に、インジウム錫酸化物(ITO: Indium Tin Oxide)ITOなどからなる補助容量電極18を形成する。さらに、スパッタ法によりゲート電極の上にモリブデンなどの金属、あるいは金属シリサイド、または多結晶シリコン膜などからなるゲート配線19を形成する。更に、図8(g)に示すように、基板上の全面に窒化シリコンなどからなる層間絶縁膜20を形成する。そして、コン

(5)

エッチングにより層間絶縁膜20を部分的に除去し、ドレイン領域16及びソース領域17の上方にコンタクトホール21を形成する。

【0030】そして、図8(h)に示すように、スパッタ法により、画素部に位置する層間絶縁膜の上に、1T Oからなる表示電極22を形成する。表示電極22の一端は、コンタクトホール21を通してソース領域に電気的に接続されている。さらに、全面に導電材料を形成した後、パターンニングし、各々ドレイン領域16及びソース領域17に接続されるドレイン電極23及びソース電極24を形成する。

【0031】以上の工程を経ることにより、多結晶シリコン層を駆動層としたTFTが完成する。ところで、上述のTFTを画素駆動素子としたLCDの画素部は、図8に示すように、多結晶シリコンTFTが形成された透明絶縁基板25と、表面に共通電極26が形成された透明絶縁基板27とを相対向させ、各基板の間に液晶を封入して液晶層28を形成することで完成する。

【0032】図10に、本発明のアクティブマトリックス方式のLCDブロック構成を示す。画素部29には各走査線（ゲート配線） $D1 \cdots Dn$ 、 $Dn+1 \cdots Dn+m$ と各データ線（ドレイン配線） $D1 \cdots Dn$ 、 $Dn+1 \cdots Dn+m$ とが配置されている。各ゲート配線と各ドレイン配線とはそれぞれ直交し、その直交部分に画素30が設けられている。そして、各ゲート配線はゲートドライバ31に接続され、ゲート番号（走査番号）が印加されるようになっている。また、各ドレイン配線はドレインドライバ（データドライバ）32に接続され、データ番号（ビデオ番号）が印加されるようになっている。これらのドライバによって周辺駆動回路33が構成されている。そして、各ドライバのうちの少なくとも一方を画素部29と同一基板上に形成したLCDは、一般にドライバ一体型（ドライバ内蔵型）LCDと呼ばれる。尚、ゲートドライバ31が、画素部29の両側に設けられている場合もある。また、ドレインドライバ32が、画素部29の両側に設けられている場合もある。

【0033】図11にゲート配線 Gn とドレイン配線 Dn との直交部分に設けられている画素の等価回路を示す。画素は、画素駆動素子としてのTFT、液晶セルLC、補助容量から構成される。ゲート配線 Gn には、TFTのゲートが接続され、ドレイン配線 Dn にはTFTのドレインが接続されている。そして、TFTのソースは、液晶セルLCの表示電極（画素電極）と補助容量（蓄積容量または付加容量）とが接続されている。この液晶セルLCと補助容量とにより、前記番号番線素子が構成される。液晶セルLCの共通電極（補助容量電極の反対側の電極）には電圧 V_{com} が印加されている。一方、補助容量において、TFTのソースと接続される側の電極の反対側の電極には定電圧 VH が印加されている。この液晶セルLCの共通電極は、文字どおり全ての

画素に対して共通した電極となっている。そして、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量において、TFTのソースと接続される側の電極の反対側の電極は、隣のゲート配線 $Gn+1$ と接続されている場合もある。

【0034】このように構成された画素において、ゲート配線 Gn を正電圧にしてTFTのゲートに正電圧を印加すると、TFTがオンとなる。すると、ドレイン配線 Dn に印加されたデータ番号で、液晶セルLCの静電容量と補助容量とが充電される。反対に、ゲート配線 Gn を負電圧にしてTFTのゲートに負電圧を印加すると、TFTがオフとなり、その時点でドレイン配線 Dn に印加されていた電圧が、液晶セルLCの静電容量と補助容量とによって保持される。このように、画素へ書き込みたいデータ番号をドレイン配線 Dn に与えてゲート配線 Gn の電圧を制御することにより、画素に任意のデータ番号を保持させておくことができる。その画素の保持しているデータ番号に応じて液晶セルLCの透過率が変化し、画素が表示される。

【0035】

【発明の効果】以上説明したように、この発明によれば、画素が平坦で且つ結晶粒長の均一な多結晶半導体膜を再現性よく形成することができる。また、レーザビームエネルギー密度のマーキングが大きい取れるため、結晶化に用いる装置のコストを低減することができる。

【0036】さらに、表面の凹凸の発生を抑制できるため、平坦化工程を省略することができる。製造コストを削減できると共に、歩留まりの向上が図れる。

【図面の簡単な説明】

【図1】本発明の多結晶半導体膜の製造方法を工程別に表示断面図である。

【図2】本発明の再結晶化の状態と、温度分布との関係を示す模式図である。

【図3】アイランドの断面形状と表面の凹凸との関係を示す特性図である。

【図4】本発明の実施例と従来例のエネルギー密度により表面の凹凸の依存性を決定した結果を示す図である。

【図5】本発明の実施例と従来例のエネルギー密度と平均粒長の関係を示す断面図である。

【図6】画素部周辺の具体的な平面構造図である。

【図7】図6中の切断線A-Aに沿った方向からの断面構造図である。

【図8】図6中の切断線A-Aに沿った方向からの断面構造図である。

【図9】上述のTFTを画素駆動素子としたLCDの画素部の断面図である。

【図10】本発明のアクティブマトリックス方式のLCDブロック構成図である。

【図11】ゲート配線 Gn とドレイン配線 Dn との直交部分に設けられている画素の等価回路図である。

(1)

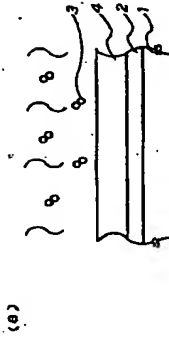
【図12】従来の多結晶半導体膜の製造方法を工程別に表示断面図である。

【図13】従来の再結晶化の状態と、温度分布との関係を示す模式図である。

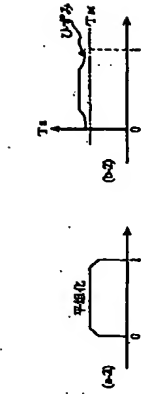
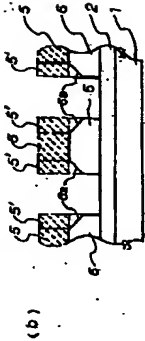
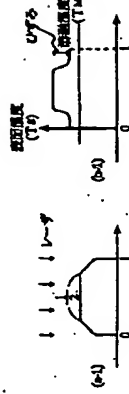
【符号の説明】

- 1 基板
- 4 a-Si膜
- 6a 傾斜部
- 7 レーザビーム
- 8 多結晶シリコン膜

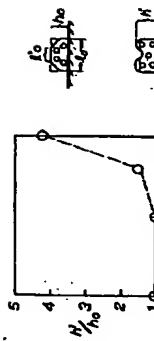
【図1】



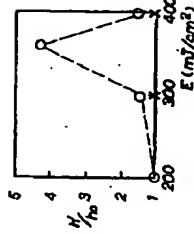
【図2】



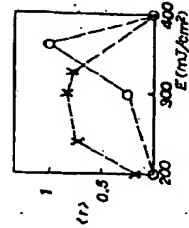
【図3】



【図4】

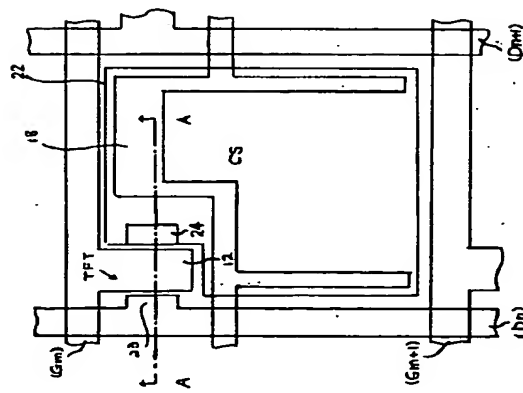


【図5】

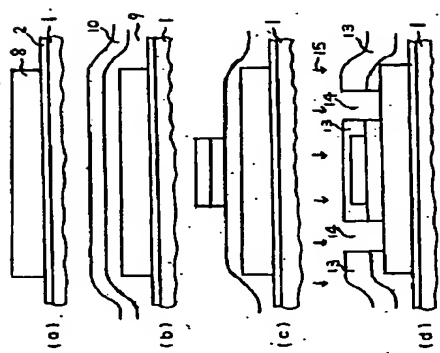


分に設けられている画素の等価回路図である。

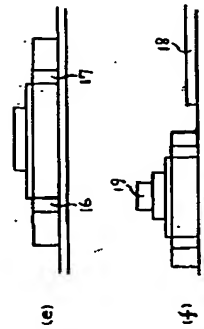
【図6】



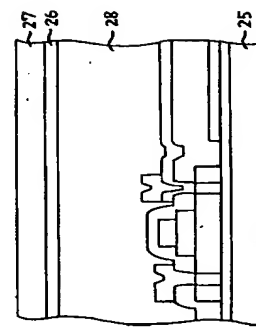
【図7】



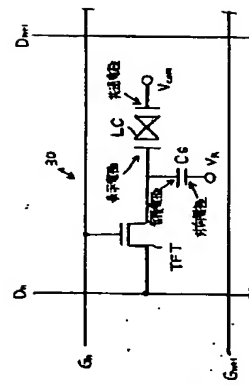
【図8】



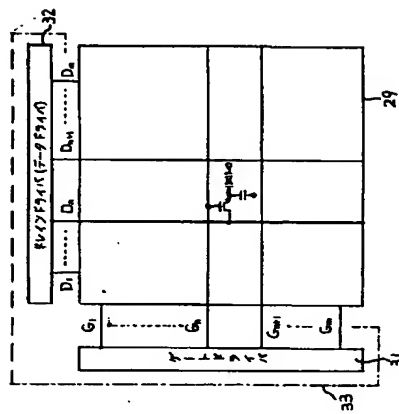
【図9】



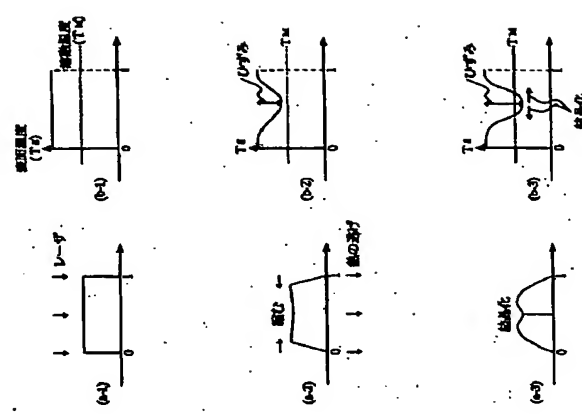
【図11】



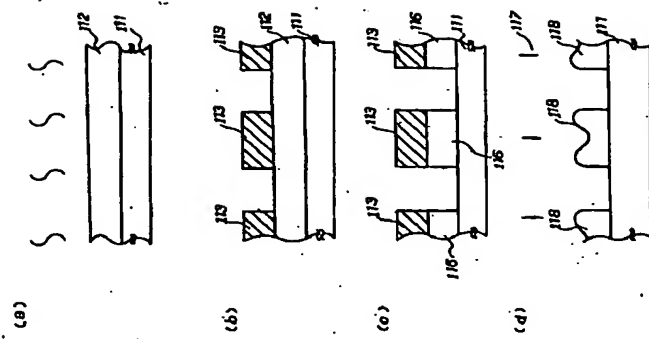
【図10】



【図13】



【図12】



フロントページの続き

(51) Int. Cl.

H01L 31/313
31/318
31/314
31/315

(1)

識別記号 片内整理番号

F I

技術表示箇所

Z

R